

PAT-NO: JP401005075A

DOCUMENT-IDENTIFIER: JP 01005075 A

TITLE: SEMICONDUCTOR PRESSURE SENSOR AND

MANUFACTURE OF THE

SAME

PUBN-DATE: January 10, 1989

INVENTOR-INFORMATION:

NAME

KUROYANAGI, AKIRA

FUJII, TETSUO

FUNAHASHI, TOMOHIRO

AZEYANAGI, SUSUMU

YOSHIHARA, SHINJI

SAKAI, MINEICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
------	---------

NIPPON DENSO CO LTD	N/A
---------------------	-----

APPL-NO: JP62160374

APPL-DATE: June 26, 1987

INT-CL (IPC): H01L029/84

US-CL-CURRENT: 257/419, 438/53, 438/FOR 412

ABSTRACT:

## ⑫ 公開特許公報(A)

昭64-5075

⑤Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬公開 昭和64年(1989)1月10日

H 01 L 29/84

C-7733-5F

審査請求 未請求 発明の数 2 (全6頁)

⑭発明の名称 半導体圧力センサとその製造方法

⑯特 願 昭62-160374

⑰出 願 昭62(1987)6月26日

⑱発明者	黒 柳 晃	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱発明者	藤 井 哲 夫	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱発明者	舟 橋 知 弘	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱発明者	畔 柳 進	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱発明者	吉 原 晋 二	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱発明者	酒 井 峰 一	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑲出願人	日本電装株式会社	愛知県刈谷市昭和町1丁目1番地	
⑳代理人	弁理士 恩田 博宣		

## 明 細 書

## 1. 発明の名称

半導体圧力センサとその製造方法

## 2. 特許請求の範囲

1. 凹部をその一部に有し、該凹部を含む主表面に絶縁層を形成するとともに凹部の両側にソース拡散領域及びドレイン拡散領域を形成した基板と、

前記凹部上及び該凹部の周辺に形成され、ゲート電極を有する絶縁膜よりなるダイヤフラムとを備えることを特徴とする半導体圧力センサ。

2. 凹部はその内部にフローティングゲート電極を設けたものである特許請求の範囲第1項に記載の半導体圧力センサ。

3. フローティングゲート電極に接触する絶縁層はトンネリング可能に薄くしたものである特許請求の範囲第2項に記載の半導体圧力センサ。

4. 第1の基板の主表面に凹部を形成するとともにこの凹部を含む第1の基板の主表面に絶縁層を形成する工程と、

前記第1の基板の凹部の両側にソース拡散領域

及びドレイン拡散領域を形成する工程と、

半導体単結晶基板の主表面上にダイヤフラムとなる絶縁膜を形成する工程と、

前記第1の基板の主表面と前記半導体単結晶基板の主表面とを接合する工程と、

前記半導体単結晶基板の他主面側よりエッチングし、前記第1の基板の主表面にダイヤフラムとなる前記絶縁膜を形成する工程と、

前記ダイヤフラム上にゲート電極を形成する工程と

を備えることを特徴とする半導体圧力センサの製造方法。

5. 第1の基板の主表面に絶縁層を形成する工程は、同絶縁層形成後、凹部内の絶縁層上にフローティングゲート電極を形成するものである特許請求の範囲第4項に記載の半導体圧力センサの製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体圧力センサとその製造方法に

関するものである。

(従来の技術)

機械的応力を加えることによってピエゾ抵抗効果によりその抵抗値が変化することを利用して、単結晶シリコン基板の一部の肉厚を薄くしダイヤフラムを形成し、そのダイヤフラムに歪みゲージを拡散等で形成して、ダイヤフラムに加わる圧力により歪みゲージを変形させ、ピエゾ抵抗効果による抵抗値の変化を検出して圧力を測定する半導体圧力センサが用いられている。

(発明の目的)

この発明の目的は、従来のピエゾ抵抗効果を利用しての半導体圧力センサとは全くその構造を異にし、圧力の変化を電気信号に変換して出力し圧力を検出することができる半導体圧力センサを提供することにある。

発明の構成

(問題点を解決するための手段)

この発明は上記目的を達成するためになされたものであって、第1の発明は凹部をその一部に有

し、該凹部を含む主表面に絶縁層を形成するとともに凹部の両側にソース拡散領域及びドレイン拡散領域を形成した基板と、前記凹部上及び該凹部の周辺に形成され、ゲート電極を有する絶縁膜よりなるダイヤフラムとを備える半導体圧力センサを要旨とする。

又、第2の発明は第1の基板の主表面に凹部を形成するとともにこの凹部を含む第1の基板の主表面に絶縁層を形成する工程と、前記第1の基板の凹部の両側にソース拡散領域及びドレイン拡散領域を形成する工程と、半導体単結晶基板の主表面上にダイヤフラムとなる絶縁膜を形成する工程と、前記第1の基板の主表面と前記半導体単結晶基板の主表面とを接合する工程と、前記半導体単結晶基板の他主面側よりエッチングし、前記第1の基板の主表面にダイヤフラムとなる前記絶縁膜を形成する工程と、前記ダイヤフラム上にゲート電極を形成する工程とを備える半導体圧力センサの製造方法を要旨とするものである。

(作用)

ゲート電極を印加した状態で、圧力の印加によりダイヤフラムが変形すると凹部内の空間部の容量が変化しソース拡散領域及びドレイン拡散領域間に流れる電流が変化する。この電流の検知に基づいて圧力が検知される。

(実施例)

以下、この発明を具体化した一実施例を図面に従って説明する。

第1図(a)～(i)は半導体圧力センサの製造工程を説明するための断面図である。

まず、P型のSi等の半導体基板1の主表面の所定領域にドライエッチングにて凹部2を形成する(第1図(a))。次に、同図(b)に示すように、凹部2を含む半導体基板1の主表面に絶縁層としてのSiO<sub>2</sub>膜3を形成する。続いて、同図(c)に示すように、半導体基板1の凹部2内における底部にリン(P)ドーパしたポリSiをデポジットしさらに不要部分をエッチングすることによりフローティングゲート電極4を形成する。このフローティングゲート電極4は他にもノンド

ーピングのポリSiに対しリン(P)拡散させることにより形成させてもよい。さらに、同図(d)に示すように、半導体基板1の凹部2の両側部にイオン注入によりソース拡散領域(N<sup>+</sup>層)5及びドレイン拡散領域(N<sup>+</sup>層)6を形成する。

一方、同図(e)に示す例えばその比抵抗が3～5ΩcmのN型導電型であって、主表面が(100)或いは(110)の単結晶シリコン基板7に対しその主表面にSiO<sub>2</sub>膜8を形成する(同図(f))。

そして、同図(g)に示すように、真空中において半導体基板1の主表面上に単結晶シリコン基板7を配置する。しかる後に、公知のウェハ接合法、即ち、熱により両者1、7の接着(接合)を行なう。その後、同図(h)に示すように、半導体基板1の他主面(裏面)をワックス等で覆い(図示はしない)、単結晶シリコン基板7の他主面(裏面)側より、例えばエチレンジアミン(260mℓ)、ピロカテロール(45g)、水(120mℓ)を主成分とする異方性エッチング液に

より単結晶シリコン基板7をエッチング除去する。この際、エッチングはN型導電型である領域を選択的に進行し、 $\text{SiO}_2$ 膜8はほとんどエッチングされずに残る。このようにしてダイヤフラムとなる絶縁膜としての $\text{SiO}_2$ 膜8が形成される。

そして、同図(i)に示すように、凹部2上方における $\text{SiO}_2$ 膜8上にリン(P)入りポリSiゲート電極9を形成するとともに、ソース及びドレイン電極10、11を形成して半導体圧力センサを構成する。その結果、凹部2内には上面が $\text{SiO}_2$ 膜8で、又、下面が $\text{SiO}_2$ 膜3で覆われた真空よりなる空間部12が形成されることとなる。

次に、このように構成した半導体圧力センサの作動原理を説明する。

まず、第1図(i)に示すように圧力が加わっていない状態において、 $\text{SiO}_2$ 膜8の厚さを $t_1$ 、 $\text{SiO}_2$ 膜3の厚さを $t_2$ とするとともにその $\text{SiO}_2$ 膜3、8の比誘電率を $\epsilon_{ox}$ 、凹部2内の空間部12の上下方向の厚みを $t_3$ 、真空の誘

電率 $\epsilon_0$ とする。そして、これは第2図の等価回路で表され、 $\text{SiO}_2$ 膜8に対応する容量 $C_1$ 、 $\text{SiO}_2$ 膜3に対応する容量 $C_2$ 及び空間部12に対応する容量 $C_3$ は次のようになる。

$$C_1 = \epsilon_{ox} \cdot \epsilon_0 \cdot S_1 / t_1$$

$$C_2 = \epsilon_{ox} \cdot \epsilon_0 \cdot S_2 / t_2$$

$$C_3 = \epsilon_0 \cdot S_3 / t_3$$

ただし、 $S_1$ 、 $S_2$ 、 $S_3$ は各容量部の面積である。

そして、ゲート電極9と半導体基板1との間で電圧 $V_{G0}$ を印加した場合、フローティングゲート電極4に加わるフローティングゲート電圧 $V_{GF}$ は次式にて示される。

$$V_{GF} = \left[ \frac{1}{1 + \frac{C_2}{C_1} + \frac{C_2}{C_3}} \right] \cdot V_{G0}$$

このフローティングゲート電圧 $V_{GF}$ で本半導体圧力センサを構成するNMOSトランジスタがオンしない(チャンネルに電流が流れない)ように半

導体基板1の不純物濃度が設計されている。又、 $\text{SiO}_2$ 膜3、8の厚さや空間部12の厚さを調整することによっても行なうことができる。

次に、第3図に示すように、ダイヤフラムとなる $\text{SiO}_2$ 膜8に圧力 $P$ が加わり $\text{SiO}_2$ 膜8に弾性変形が生じ、空間部12の厚みが $t_3'$ になると、その空間容量 $C_3'$ は次式のようにになる。

$$C_3' = \epsilon_0 \cdot S_3 / t_3'$$

従って、圧力 $P$ の印加によるフローティングゲート電圧 $V_{GF}'$ は次式のようにになる(第4図参照)。

$$V_{GF}' = \left[ 1 - \frac{C_1 + C_3'}{C_1 + C_3' + \frac{C_1 \cdot C_3'}{C_2} + \frac{C_1 \cdot C_3'}{C_s}} \right] \cdot V_{G0}$$

尚、 $C_s$ は空乏層幅を $W_s$ 、ゲート面積を $S_s$ 及び半導体基板1の比誘電率を $\epsilon_s$ とした場合の半導体基板容量である( $C_s = \epsilon_s \cdot \epsilon_0 \cdot S_s / W_s$ )。

この圧力 $P$ が印加された状態でのフローティン

グゲート電圧 $V_{GF}'$ においてNMOSがオンする(一定電圧を印加したソース・ドレイン間におけるチャンネルに電流が流れる)ように半導体基板1の不純物濃度が設計されている。

そして、同NMOSトランジスタのオン状態においてチャンネル電流 $I_c$ が流れ圧力 $P$ が電流に変換され、フローティングゲート電圧 $V_{GF}'$ の値に対応するチャンネル電流 $I_c$ の値を測定することにより印加された圧力 $P$ の大きさが検出される。

より具体的に示せば、例えば $t_1 = 0.2 \mu\text{m}$ 、 $t_2 = 0.05 \mu\text{m}$ 、 $t_3 = 1 \mu\text{m}$ 、 $S_1 = S_2 = S_3 = 100 \mu\text{m}^2$ の場合、 $C_1 = 1.7 \text{ pF}$ 、 $C_2 = 6.9 \text{ pF}$ 、 $C_3 = 0.09 \text{ pF}$ 、 $C_s = 1.05 \text{ pF}$ であり、最大圧力 $P_{\text{max}}$ が印加されたとき $t_3' = 0.5 \mu\text{m}$ になるとすると、 $V_{GF} = 0.01 V_{G0}$ 、 $V_{GF}' = 0.15 V_{G0}$ となる。そして、その関係を第5図に示す。

このように本実施例においては、従来のピエゾ抵抗効果を利用した半導体圧力センサとは全くその構造を異にし、半導体基板1に形成した凹部

2を含む主表面に絶縁層(SiO<sub>2</sub>膜3)を形成し凹部2の両側にソース拡散領域5及びドレイン拡散領域6を形成するとともに前記凹部2上及び該凹部2の周辺にゲート電極9を有する絶縁膜(SiO<sub>2</sub>膜8)よりなるダイヤフラムを形成した構成を採用したものである。そして、一定のゲート電圧を印加した状態で凹部2内に形成される空間部12の圧力による変形にてソース・ドレイン間に流れるチャンネル電流I<sub>c</sub>を検出することにより圧力Pを検出することができる。

又、本実施例の半導体圧力センサにおいては、通常のMOSトランジスタ製造技術を利用してゲート・ドレイン電極(ソース拡散領域5、ドレイン拡散領域6)の形成等を行なうことができるため、特別の技術を必要とせず簡単に製造することができる。さらに、同一チップ(半導体基板1)内に半導体圧力センサの出力を処理する出力処理回路や他のMOSデバイス、バイポーラデバイス等を形成でき、集積化に優れている。又、3次元化も可能である。

#### 発明の効果

以上述べたようにこの発明によれば、従来のピエゾ抵抗効果を利用した半導体圧力センサとは全くその構造を異にした構造にて圧力の変化を電気信号に変換して出力し圧力を検出することができる優れた効果を発揮する。

#### 4. 図面の簡単な説明

第1図(a)～(i)は本発明を具体化した半導体圧力センサの製造工程を説明するための断面図、第2図は半導体圧力センサの等価回路図、第3図は圧力印加時の半導体圧力センサを示す断面図、第4図は圧力印加時の半導体圧力センサの等価回路図、第5図は圧力Pとフローティングゲート電圧比 $V_{GF}/V_{G0}$ の関係を示す図、第6図は別例の半導体圧力センサを説明するための図、第7図は他の別例の半導体圧力センサを説明するための図である。

1は半導体基板、2は凹部、3は絶縁層としてのSiO<sub>2</sub>膜、4はフローティングゲート電極、5はソース拡散領域、6はドレイン拡散領域、7

尚、この発明は上記実施例に限定されることなく、例えば、上記実施例ではNMOS構造としたがPMOS構造であってもよい。又、ダイヤフラムにはSiO<sub>2</sub>膜8を使用したか、伸縮する絶縁膜であれば何でもよい。さらに、空間部12を真空としたか安定な気体を封入したり、同空間部12に伸縮する材料(例えばゴム)を入れてもよい。

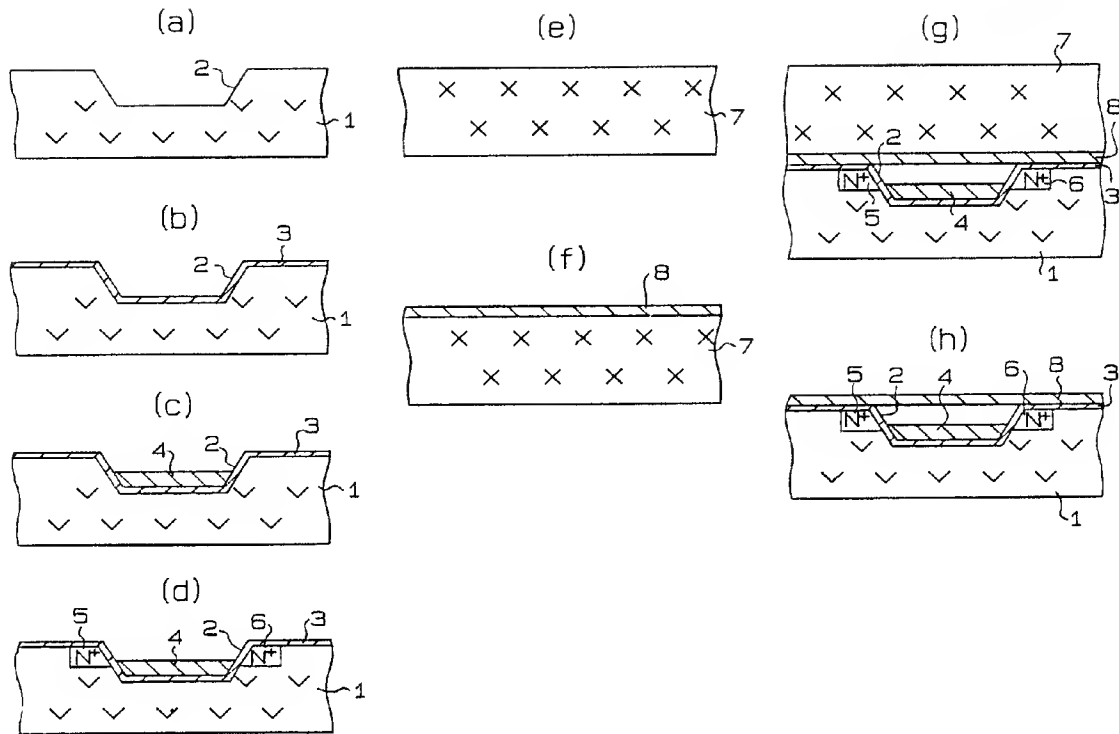
又、第6図のように、上記実施例におけるフローティングゲート電極4をなくして実施してもよい。さらに、第7図に示すように、トランジスタ構造をEEPROM構造としてもよい。即ち、フローティングゲート電極4に接触するSiO<sub>2</sub>膜3の一部に薄い(0.01μm程度)トンネル酸化膜13を形成し、ゲート電極9に圧力が印加された場合、上述したように圧力Pの大きさに応じたチャンネル電流I<sub>c</sub>が流れるが、このチャンネル電流I<sub>c</sub>をトンネル酸化膜13を通してフローティングゲート電極4に蓄積させる。よって、圧力Pの大きさをフローティングゲート電極4の電荷蓄積の形で記憶することができることとなる。

は単結晶シリコン基板、8はダイヤフラムとなる絶縁膜としてのSiO<sub>2</sub>膜、9はゲート電極、10はソース電極、11はドレイン電極、12は空間部、13はトンネル酸化膜である。

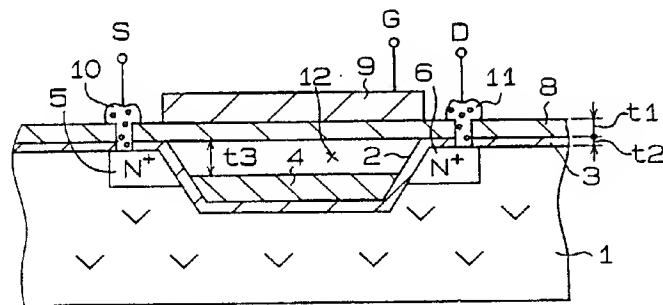
特許出願人 日本電装 株式会社  
代 理 人 弁理士 恩田 博宣

第 1 回

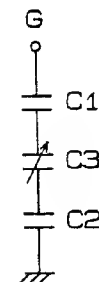
図面その1



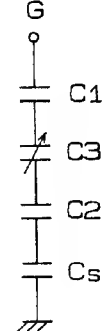
第 1 図 (i)



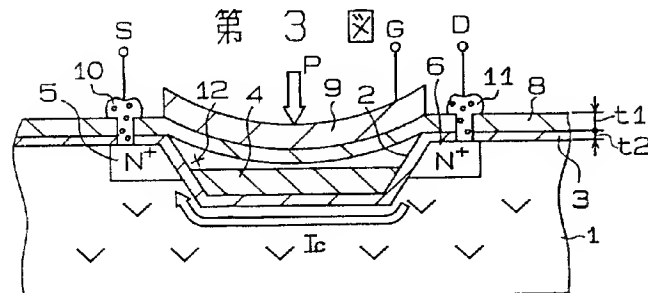
第 2 回



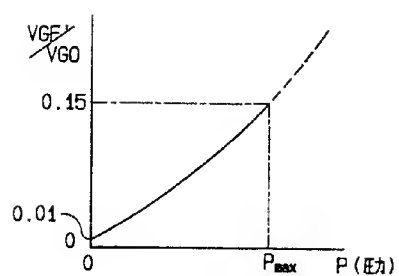
第 4 図



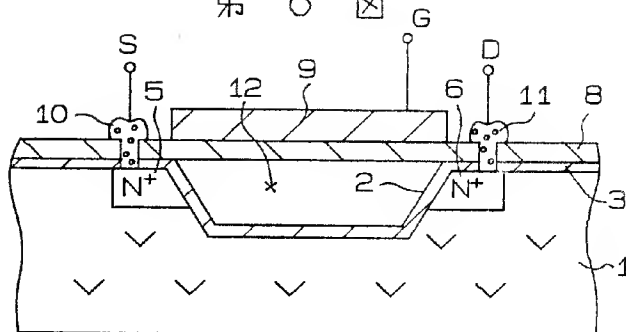
第 3 回



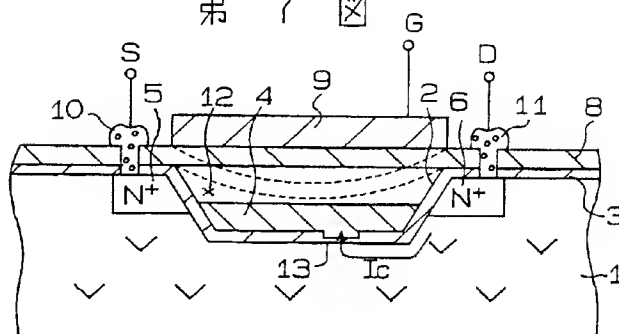
第 5 図



第 6 図



第 7 図



**PURPOSE:** To facilitate detecting of pressure by a method wherein a gate electrode is provided on a substrate on which source and drain diffused regions are formed on both the sides of its recessed part and, further, a diaphragm composed of an insulating film is provided and the change of a current induced by the change of the diaphragm caused by an applied pressure is detected.

**CONSTITUTION:** The main surface of a P-type Si semiconductor substrate is covered with an  $\text{SiO}_2$  film 3. A floating gate electrode 4 is formed on the bottom of a recessed part 2 formed in the predetermined region of the substrate. Source and drain diffused regions 5 and 6 are formed on both the sides of the recessed part 2 and, further, an  $\text{SiO}_2$  film 8 which is to be a diaphragm is formed above the source and drain regions 5 and 6 and a gate electrode 9, a source electrode 10 and a drain electrode 11 are formed on the film 8. If a pressure P is applied to the film 8 while a voltage is applied between the electrode 9 and the substrate 1, as the thickness of a space 12 is changed, the capacity of the space is changed and the floating gate voltage is changed and a channel current  $I_c$  corresponding to the voltage is induced. The pressure can be detected by detecting the current.